

## ASIC 設計手法を用いた集積回路設計及び LSI テスタでの動作検証

Chip Design by means of Application Specific Integrated Circuit and Operational test using Automated Test Equipment

中野渡陽平<sup>†</sup> 鈴木大晴<sup>†</sup>, 江口一彦<sup>††</sup>, 五島敬史郎<sup>††</sup>

Yohei Nakanowatari, Taisei Suzuki, Kazuhiko Eguchi, Keishiro Goshima

**Abstract** In recently, hardware description language (HDL) is the most powerful tools for the design and development of Large Integrate Circuit (LSI). LSI circuit using ASIC (Application Specific Integrated Circuit) technology has advantages for such as low consumption and short processing time. In this paper, we have reported that the LSI circuit using ASIC technology is designed and verified for simple operation. In this paper describes the more detail operation verification in our circuit by means of an Automated Test Equipment. As a result, we can demonstrate the difference in maximum operational frequency under different the layout designs.

## 1. はじめに

昨今、身の回りにはコンピューター製品が溢れ設計技術者の重要性がますます高まってきている。デジタル回路を用いた大規模集積回路(LSI)の現場では、設計効率化のため、HDL と呼ばれるハードウェア記述言語の利用が主として行われており、現在では C 言語を用いたハードウェア設計も可能となっている。高度に抽象化された HDL とデジタル回路動作との間には大きな理解の障壁があるのが事実である。

一方、FPGA はリコンフィギャラブルな特徴を持ち、短時間で開発できる利点があるため急速に普及してきた。FPGA を用いたデジタル回路設計において FPGA 内部はブラックボックス化されており、内部でどのような回路構成になっているか確かめることは難しくなっている。加えて、大規模・高性能化するにつれて消費電力・製造コストの増大などの欠点がある。そのため、低消費電力・過酷な条件下での動作などの特殊性能が求められる場合には、ASIC で設計される場合が多い。<sup>(1)</sup>

また、高い動作周波数の動作状況下では、デジタル回路であってもアナログの設計要素が必須になってきている。HDL を用いた開発だけでなく、その裏で動いている回路の中身や動作を理解する必要があると考える。<sup>(2)</sup>

そこで、我々は HDL によるデジタル回路開発だけではなく、ASIC を用いた設計方法を取り入れている。ASIC 設計手法では、HDL を用いつつデジタル回路の構成要素である CMOS トランジスタの設計からスタンダードセル設計、配置、それに伴う信号遅延等を考慮した設計を行うことによって内部回路の理解の両立を目指した。<sup>(3)</sup>

現在までに我々は VDEC を利用した ASIC 開発環境を構築し、8bitCPU の ASIC 設計工程のアーキテクチャ設計から RTL 設計、論理合成、配置配線・レイアウト設計を行い、フェニテックセミコンダクター社のシャトル便を用いて実際にチップ製造まで行った。<sup>(4,5)</sup> しかしながら、動作検証では FPGA 評価ボードを使用していたので、動作することは検証出来ても、動作スピードや遅延時間や各種の信号レベルをリアルタイムに検証することが出来ていない。

そこで LSI テスターを導入し、より詳細な動作検証を目的とした。CPU などの多機能なアーキテクチャを LSI テスターを用いて検証するには、LSI テスター側の設定が非常に複雑であり、学部生が設定するには時間的制約が厳しい。そこで本発表では、簡便なデジタル集積回路の ASIC 設計をおこない、その動作テストを LSI テスター機で検証した。

## 2. ASIC 設計工程

今回我々は ASIC の手法を用いてデジタル回路の設計を行った。現在デジタル LSI の設計は Electronic Design Automation (EDA) ツールの使用が必須である。その

<sup>†</sup> 愛知工業大学大学院 工学研究科  
電気電子工学専攻 (豊田市)

<sup>††</sup> 愛知工業大学 工学部 電気学科  
電子情報工学専攻 (豊田市)

ため、本研究では大規模集積システム設計教育センター (VDEC) を通して各設計に必要な EDA ツールを入手し設計を行った。今回、設計に使用したツールは Icarus Verilog, Design Compiler, IC Compiler, Ismo, stylus の 5 種類である。RTL 設計では、フリーソフトである Icarus Verilog を用い VerilogHDL で記述した設計対象のコンパイルとシミュレーションを行う。論理設計では、Synopsys 社の Design Compiler を使用して VerilogHDL の記述を論理回路に変換する。レイアウト設計では、まず Synopsys 社の IC Compiler を用い論理回路の自動配置配線を行う。その後、Jedat 社の Ismo を用いコア部の配置と、コア部とパッドとの配線を行う。製造に関してはフェニテックセミコンダクター社の行っている大学等の研究・教育を目的としたシャトル便制度を用いて製作を依頼した。プロセスは 0.6 $\mu$ m である。動作検証では、Inovys 社の LSI テスタ Personal Ocelot と stylus というツールを用い製作したチップの遅延を考慮した性能評価を行う。以下の表 2.1 に設計工程と各工程で使用するツールをまとめて示す。(6,7,8)

表 1.1 設計工程及び使用ツール

Table 1.1 Tools and Design process

Design process	Tools
RTL design	Icarus Verilog
Logic design	Design Compiler (Synopsys 社)
Layout design	IC Compiler (Synopsys 社)
	Ismo (Jedat 社)
Operation verification	Stylus (Inovys 社)

### 3. ASIC 手法を用いたデジタルの設計

本研究では、7セグメント LED 制御回路を ASIC 設計手法で作成した。小数点を含めた 5bit の入力信号から 7segLED の表示用に 8 本の出力信号に変換する回路である。LSI の入力端子は DPNT, NUM3, NUM2, NUM1, NUM0 の 5 つがあり、この入力端子にそれぞれ 2 進数で信号が与えられることで、LSI 内部で 7セグメントディスプレイを点灯させるための操作が行われる。出力端子は 7セグメントディスプレイのセグメント点灯端子に相当する 8 つが設けられており、それぞれ SEGDP, SEGA, SEGB, SEGC, SEGD, SEGE, SEGF, SEGG としている。入力信号は、5 ビットで 00000 から 11111 までの 16 進数 +1bit (小数点) で出力信号は、ディスプレイ表示で 1 ~ 9 の数字と A ~ F までの英数字を表示させることとした。

#### <3・1> RTL 設計

上記の仕様を基に、RTL 設計を行った。RTL 設計では、フリーソフトである Icarus Verilog を用い VerilogHDL で記述した設計対象のコンパイルとシミュレーションを行う。

#### <3・2> 論理設計

フェニテックセミコンダクター社のプロセスデザインキット (PDK) より論理合成に必要なデータベースファイルを利用した。論理合成を行う際に LSI の動作周波数を決めるクロック制約を与えた。このクロック制約の決め方は最初にある制約を与え論理合成を行った後、タイミング解析を行い制約を満たしマージンが大きければ制約を厳しくして、制約を満たしていなければ制約を緩和していくことで決めていった。その結果 1 クロック 20ns の制約を与えることとした。以下の図.1 に論理設計の結果として論理回路図を示す。

論理合成の結果、NOT 回路 8 個、AND 回路 4 個、NAND 回路 16 個、OR 回路 4 個、NOR 回路 11 個、XOR1 個で構成される。

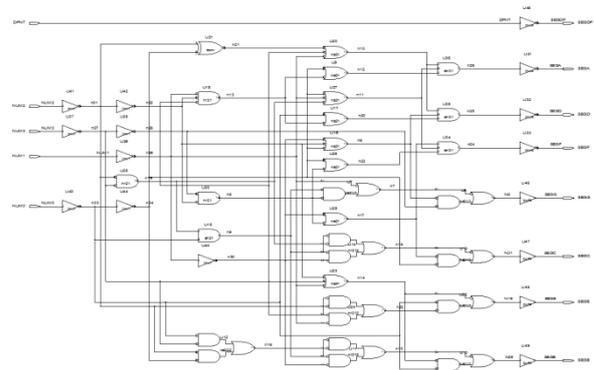


図 1 論理合成を行った 7セグメント論理回路

Fig.1. Logic circuit of the 7 segment

#### <3・3> レイアウト設計

レイアウト設計では、Jedat 社の Ismo を用いコア部の配置と、コア部とパッドとの配線を行った。フェニテックセミコンダクター社の PDK にはスタンダードセルのテクノロジーファイルやライブラリが提供されているため、それらのスタセルを適切に配置した。レイアウト設計では、回路は 2 種類用意した。Sample 2 は、一般的に推奨されるレイアウト配置を採用し、Sample 1 はあえて一般的なレイアウトではなく各素子を自由に配置して配線処理を行った。配置に必要な面積は、約 4 倍の開きが生じた。このようにして配置の違いによる信号遅延の影響を明確な形で検証できるようにレイアウト設計を行った。2 種類

のレイアウト配置を図 2,3 に示す。

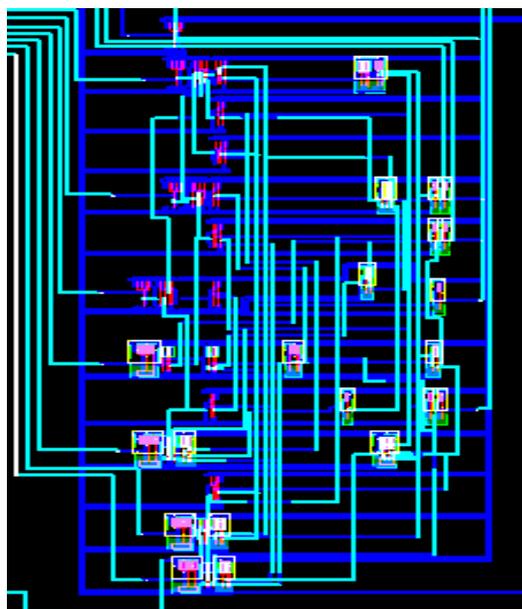


図 2. レイアウト設計 (sample 1)

Fig.2. Layout design of 7 segment circuit (sample1)

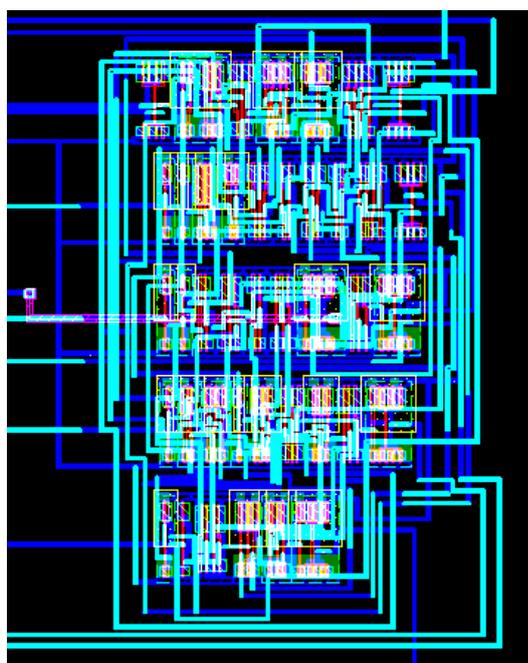


図 3. レイアウト設計 (sample2)

Fig.3. Layout design of 7 segment circuit (sample2)

#### 4. 7セグメント回路の動作検証

##### <4.1> LSI テスタ機の概要

今回動作検証に用いた LSI テスター機は、Inovys 社の Personal Ocelot を使用した。

Ocelot とは、シングルコンパクトテストヘッド筐体

で統合された 64, 128, 256, ピン構成が可能なテストシステムである。システムは TRG(Test Resource Group)と呼ばれるプラグインモジュールを使用して構成されている。各 TRG は 64 ピンの汎用のデータピンを搭載している。

表 2 周期とタイミングジェネレータ(TG)仕様

Table2 Specification of the timing generator

項目	仕様
データ周期範囲	20ns – 635ns
クロック周期範囲	10ns – 635ns
データ/クロック周期分解能	5.0ns
データピン TG プログラム最大範囲	4 サイクル以下又は 615ns
データピン TG 分解能	625ns
データピン エッジ 設定精度	±1.8ns
最小パルス幅	5ns

表 3 データピン DC 仕様

Table3. Data pin & DC specification

VIH/VOH	最小値	最大値	分解能	精度
VIH(ドライバー HI レベル)	650 mA	3.5 V	1.3 mV	±20 mA
VOH(ドライバー LO レベル)	0V	該当なし	該当なし	該当なし
VOH(コンパレータ閾値)	200 mV	2.0 V	1.3 mV	±50 mV

表 2 に周期とタイミングジェネレータを、表 3.3.2 にデータピンの DC 仕様を記載する。今回の動作検証、動作速度検証では、表 2 のデータ周期範囲、表 3 の VIH (HI レベル) の最大値、VIH (LO レベル) の最小値に注意を払いながら行っていく。VIH (HI レベル) の最大値が 3.5V であることから、出力可能な電圧の最大値を 3.3V として Ocelot の設定を行った。

##### <4.2> レベル変換回路の挿入

今回試作した設計では LSI は電源電圧 5V で動作しており、入出力信号も 4.5~5.5V で動作する。しかし今回の実験で用いる LSI テスタ機 Ocelot の入出力電圧は 1.25~3.3V である。この問題を解決するために、Ocelot と LSI を接続する、入力側、出力側にそれぞれ 3.3V→5.0V に変

換するレベル変換回路を製作し、電圧の調節を行うことで動作検証及び動作速度の検証を行った。そのため、検証で示された動作速度には、レベル変換回路の遅延も含まれている事に注意した。また、レベル変換に用いた素子は、74VHC245 を用いた。

#### <4・3> LSI テスタ機の設定

以下に LSI 動作検証及び動作速度検証の設定の大まかな流れを示す。

##### ① Pin List の設定

LSI テスタ機の各端子に接続された信号線を設定する。入力信号、出力信号、電源端子、GND などを設定する。

##### ② DC Level の設定

電源以外の入出力電圧の設定を行う。具体的には、VIH (ハイ) と認識する電圧、VOH (ロー) と認識する電圧を 0.01V の精度で設定する。今回は、VIH は 3.0V、VOH は、3.3V の半分の電圧である 1.65V と設定した。

##### ③ Timing の設定

入出力時間の基準単位、入力信号のタイミング及び出力信号の読み取るタイミング時間を設定する。1クロックの基準時間を 400ns とした時、確実に動作が確認できる時間を設定する。クロック信号の立ち上がりを基準として入力信号のタイミングは 0ns、出力信号読み取りタイミング時間を 200ns で設定した。

##### ④ 入出力パターンの設定

7セグメント回路の入力は小数点を表す DPNT のほか、入力信号として NUM0~3 までの合計 5 つ、出力は小数点を表す SEGDP の他、7本のセグメントへの信号として合計 8 つが使用されている。それぞれの入力信号 (DPNT, NUM3, NUM2, NUM1, NUM0) 印加された時、出力信号パターン (SEGDP, SEGA, SEGB, SEGC, SEGD, SEGE, SEGF, SEGG) あらかじめ設定しておく。LSI テスタ機はこれらの入出力パターンの通りに入力信号を対象となる回路に印加し、帰ってくる出力信号と出力パターンを比較する。<sup>(9)</sup>

#### <4・4> 検証結果

図 4 と図 5 は Ocelot の Logic Analyzer による出力画面である。今回使用した 7seg 回路を搭載した LSI の共通の入力端子がある一部で短絡しており、動作の確認ができていないものが 0, 2, 4, 6 のみであることから、7seg5, 7seg6 とともに正常に動作していることが分かる。出力波形の中心にマークがあり、マークの向きが出力の期待値を表している。読み込ませたパターンの出力と実際の出力結果が異なる場合、赤い線が表示され、1 つでもエラーが存在するとカウントの背景が赤く点灯されている。

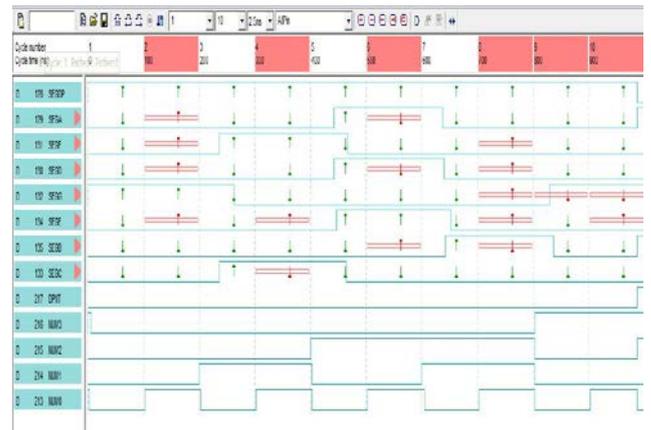


図 4. LSI テスタを用いた検証結果 (sample1)

Fig.4. Operational verification in the sample1

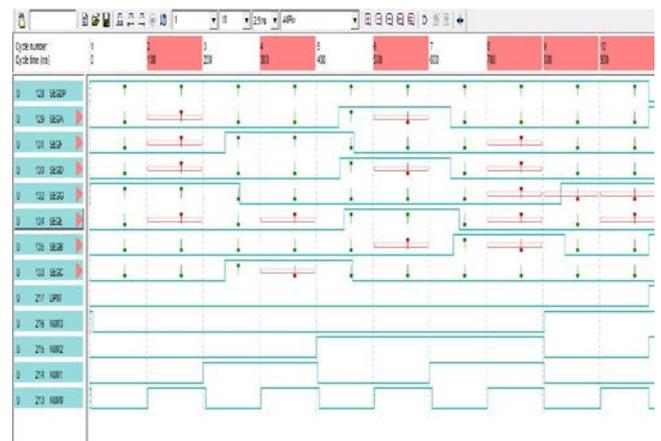


図 5. LSI テスタを用いた検証結果 (sample2)

Fig.5. Operational verification in the sample2

表 4 に Sample1(7seg5)と sample2 (7seg6)の動作速度の検証結果並びに周期、動作周波数を記載する。Ocelot による出力画面では動作速度の違いが現れないため、数値を表にまとめた。表 4.より、Sample1 (7seg5) の動作速度は 63ns、Sample2(7seg6)の動作速度は 62ns であることがわかる。動作周波数では、7.94MHz と 8.07MHz という違いが現れた。

表 4 各サンプルの最大動作周波数及び動作速度

Table4. Maximum operational speed

	7seg5 <sup>o</sup>	7seg6 <sup>o</sup>
動作速度 <sup>o</sup>	63 ns <sup>o</sup>	62 ns <sup>o</sup>
周期 <sup>o</sup>	126 ns <sup>o</sup>	124 ns <sup>o</sup>
動作周波数 <sup>o</sup>	7.94 MHz <sup>o</sup>	8.07 MHz <sup>o</sup>

この違いについて検証する。まず初めに条件として Sample1 と Sample2 の論理回路は全く同じである。このことから、集積回路内部の配線長と伝送時間に違いがあることが推測された。

そこで、配線長とそれに関わる遅延時間について、HSPICE を用いてシミュレーションを行った。

図 6 は、シミュレーションで配線長の違いによる立ち上がり時間を示したものである。黄色の立ち上がり信号を基準の信号として緑色のラインが配線長を 1 mm 延長した場合の信号を示している。この結果から、1 mm の配線延長によって約 0.5ns の伝搬遅延が発生することが予想された。

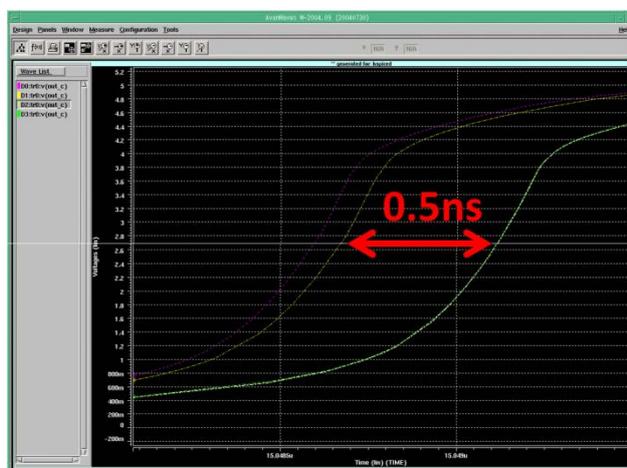


図 6. 配線遅延のシミュレーション結果

そこで、今回の回路でエラーが発生した回路 (NUM 3 ~ 出力 SEGF) までの配線長を算出したところ。

Sample 1 では 3.596mm、Sample2 では 2.633mm であり、その差は 0.963mm で約 1 mm の配線長の違いがあることが分かった。

上記のシミュレーション結果と Sample1, 2 での配線長の違いを加味すると、配線遅延による遅れ時間は約 0.5ns である。しかしながら、LSI テスタ機の最少時間分解能は 1ns であるため、63ns と 62ns の 1ns の違いとして出力されたと考えられる。

## 5. まとめ

本研究では、ASIC 設計手法を軸としたデジタル回路設計における研究を行った。ASIC 開発環境は VDEC を通して各設計ツールを入手し設計を行った。また、製造に関してはフェニテックセミコンダクター社の協力を得た。

ASIC 手法を用いたデジタル回路の設計においては、当研究室では初めてアーキテクチャ設計から実際のチップのレイアウト、LSI テスタ機を使った動作検証の一連の開発手順を行うことができた。

今後の展開として、本研究室で作成した 8bitCPU を LSI

テスターを用いて動作検証解析だけでなくデバック、故障解析等の、より高度な解析を行い、今後の設計技術に反映させていく予定である。

## 謝辞

本研究は、一部 愛知工業大学 A.LSI デザイン社との共同研究プロジェクト (B)、および、東京大学大規模集積システム設計教育センターを通し、シノプシス株式会社の協力で行われたものである。

## 文 献

- (1) 今井 正治:「ASIC 技術の基礎と応用」コロナ社(1994)
- (2) 松尾 和典:熊本電波高専 研究紀要 第 34 号 p11
- (3) VDEC 監修:「デジタル集積回路の設計と試作」培風館(2001)
- (4) 鈴木貴斗、本多越次、宮崎光平、江口一彦、五島敬史郎  
“ASIC 設計手法を用いたプロセッサのビット幅拡張と並列処理による高速化”  
電子情報通信学会 2014 総合大会 P-201 2014 年 3 月
- (5) 鈴木貴斗、江口一彦、五島敬史郎、山田明宏  
“ASIC 設計手法を用いた LSI 回路設計に関する研究”  
電気学会 電子回路研究会 ECT-14-066 2014 年 10 月
- (6) デビッド・A・バターソン、ジョン・L・ヘネシー:「コンピュータの構成と設計ハードウェアとソフトウェアのインタフェース」日経 BP 社(2013)
- (7) 岩出 秀平、清水 徹:「実用プロセッサ技術」ムイスリ出版(2012)
- (8) N.H.E. West and D.M. Harris :「CMOS VLSI 回路設計」丸善出版 (2014)
- (9) 中野渡陽平、鈴木大晴、木村尚哉、大嶋圭介、五島敬史郎、江口一彦  
“LSI テスタ機を用いたデジタル集積回路の動作検証”  
電気学会 電子回路研究会 ETC-15-70 2015 年 10 月

(受理 平成 28 年 3 月 19 日)